

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332641

(43)Date of publication of application : 30.11.2001

(51)Int.Cl.

H01L 23/12

(21)Application number : 2000-154960

(71)Applicant : HITACHI LTD  
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 25.05.2000

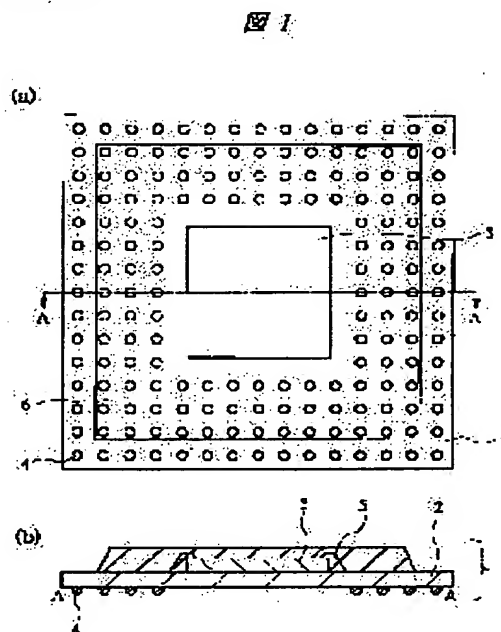
(72)Inventor : ARIMA HIDEO  
YAMAMOTO KENICHI  
MIURA KAZUMA  
KIMOTO RYOSUKE  
KAWAKUBO HIROSHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To raise reliability to mechanical vibration and impact in a connection between a semiconductor chip and a mounting substrate.

SOLUTION: A solder ball 4 is formed of a composition of about 97.7 to 99.3 wt.% of Sn, about 0.5 to 1.5 wt.% of Ag, and about 0.2 to 0.8 wt.% of Cu.



4: はんだボール (ハンダ電極)

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C): 1998,2003 Japan Patent Office

**This Page Blank (uspto)**

3131(3)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-332641  
(P2001-332641A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 23/12

識別記号

F I  
H 0 1 L 23/12

テーマコード(参考)

L

審査請求 未請求 請求項の数 5 O L (全 21 頁)

(21) 出願番号 特願2000-154960(P2000-154960)

(22) 出願日 平成12年5月25日 (2000. 5. 25)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 有馬 英夫

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

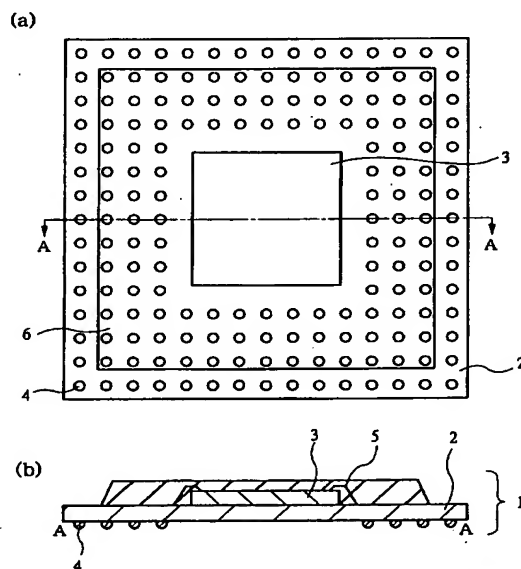
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 半導体チップと実装基板との接続部における機械的振動および衝撃に対する信頼性を高める。

【解決手段】 はんだボール4を、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成で形成する。

図 1



4: はんだボール (パンプ電極)

## 【特許請求の範囲】

【請求項 1】 (a) 主面上に半導体素子および配線層を有する半導体ウェハを切断して半導体チップを形成する工程、(b) 前記半導体チップを第 1 基板の主面上の所定の位置に搭載する工程、(c) 前記半導体チップの配線層と前記第 1 基板の配線層とを電気的に接続する工程、(d) 前記第 1 基板の主面上に封止用絶縁膜を形成し、前記半導体チップを封止する工程、(e) 前記第 1 基板の裏面の所定の位置において前記第 1 基板の前記配線層と電気的に接続されるパンプ電極を形成する工程、を含み、前記パンプ電極はスズが 97.7 重量%～99.3 重量%、銀が 0.5 重量%～1.5 重量%および銅が 0.2 重量%～0.8 重量%となる組成または前記した組成にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも 1 種類が合計で 2 重量%以下含まれる組成で形成することを特徴とする半導体装置の製造方法。

【請求項 2】 (a) 主面上に半導体素子および配線層を有する第 1 基板の裏面の所定の位置において前記配線層と電気的に接続されるパンプ電極を形成する工程、

(b) 前記第 1 基板を切断して半導体チップを形成する工程、を含み、前記パンプ電極はスズが 97.7 重量%～99.3 重量%、銀が 0.5 重量%～1.5 重量%および銅が 0.2 重量%～0.8 重量%となる組成または前記した組成にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも 1 種類が合計で 2 重量%以下含まれる組成で形成特徴とする半導体装置の製造方法。

【請求項 3】 (a) 主面上に半導体素子および配線層を有する半導体ウェハを切断して半導体チップを形成する工程、(b) 前記半導体チップを第 1 基板の主面上の所定の位置に搭載する工程、(c) 前記半導体チップの配線層と前記第 1 基板の配線層とを電気的に接続する工程、(d) 前記第 1 基板の主面上に封止用絶縁膜を形成し、前記半導体チップを封止する工程、(e) 前記第 1 基板の裏面の所定の位置において前記第 1 基板の前記配線層と電気的に接続されるパンプ電極を形成する工程、

(f) 前記 (a)～(e) 工程後に、前記第 1 基板を含む複数の電子部品を第 2 基板に電気的に接続する工程、を含み、前記パンプ電極はスズが 97.7 重量%～99.3 重量%、銀が 0.5 重量%～1.5 重量%および銅が 0.2 重量%～0.8 重量%となる組成または前記した組成にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも 1 種類が合計で 2 重量%以下含まれる組成で形成し、前記第 1 基板以外の電子部品は前記パンプ電極と同じ組成のはんだ材料により前記第 2 基板に接続することを特徴とする半導体装置の製造方法。

【請求項 4】 (a) 主面上に半導体素子および配線層を有する半導体ウェハを切断することにより形成された半導体チップと、(b) 主面上に前記半導体チップが搭

載され、その内部の配線層と前記半導体チップが含む配線層とが電気的に接続された第 1 基板と、(c) 前記第 1 基板の裏面の所定の位置において前記第 1 基板の内部の配線層と電気的に接続されたパンプ電極とを含み、前記パンプ電極はスズが 97.7 重量%～99.3 重量%、銀が 0.5 重量%～1.5 重量%および銅が 0.2 重量%～0.8 重量%となる組成または前記した組成にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも 1 種類が合計で 2 重量%以下含まれる組成で形成されていることを特徴とする半導体装置。

【請求項 5】 (a) 主面上に半導体素子および配線層を有する第 1 基板の裏面の所定の位置において前記配線層と電気的に接続されたパンプ電極と、(b) 前記第 1 基板を切断することにより形成された半導体チップとを含み、前記パンプ電極はスズが 97.7 重量%～99.3 重量%、銀が 0.5 重量%～1.5 重量%および銅が 0.2 重量%～0.8 重量%となる組成または前記した組成にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも 1 種類が合計で 2 重量%以下含まれる組成で形成されていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、半導体チップをはんだを用いて実装基板に実装してなる半導体装置およびその製造技術に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】電子機器の小型・軽量化に伴い、半導体装置のパッケージについても薄型化や小型・軽量化が求められている。CSP (Chip Size Package) は、半導体チップのサイズと同等またはわずかに大きいパッケージの総称であり、小型・軽量化を実現できる上、内部の配線長を短くすることができるので、信号遅延や雑音等を低減できるパッケージ構造として実用化されている。

【0003】また、このような CSP 型などの半導体チップを実装基板に実装するために、半導体チップにははんだボールが取り付けられ、実装基板にははんだペーストが印刷される。従来、はんだ材料としては、Sn (スズ) - Pb (鉛) 系のはんだ材料が用いられてきたが、今日では環境保全対策への要求が大きくなり、環境負荷物質である Pb を含まないはんだ材料の開発が進められている。

【0004】その Pb を含まないはんだ材料の有力なものとして、たとえば、2000年2月3日～4日、6th Symposium on Microjoining and Assembly Technology in Electronics、P297～P302、「鉛フリーはんだのフィレットはく離減少に関する実験的考察」には、Sn-Ag (銀) 系、Sn-Ag-Bi (ビスマス) 系および Sn-Zn (亜鉛) 系などの

はんだ材料についての記載がある。

【0005】Sn-Ag系、Sn-Ag-Bi系およびSn-Zn系などのはんだ材料は、従来のSn-Pb系のはんだ材料と比較して濡れ性に劣り、融点が高い。はんだ材料の融点が高くなることにより、半導体装置を構成する部品の耐熱性を上げる必要性が出てくる。しかしながら、当初、本発明者らは、この濡れ性および融点は半導体チップの実装基板への実装に際して、その濡れ性および融点は実用上の基本的問題ではないとの観点から、濡れ性および融点以外の特性について実用上の問題がないか検討してきた。つまり、半導体チップに取り付けられるはんだボールおよびその半導体チップが実装される実装基板に印刷されるはんだペーストとしてである。その中で、Sn-Ag系での共晶組成である96.5Sn-3.5Ag (Agの含有量を重量%単位のxとして(100-x)Sn-xAgとして表現する)を、半導体チップに取り付けるはんだボールとして適用してきた。

【0006】また、たとえば、(a)2000年2月3日～4日、6th Symposium on Microjoining and Assembly Technology in Electronics、P125～P130、「Cuコアはんだボールを用いたBGA接合部組織と機械的特性 ～第2報～」、(b)2000年2月3日～4日、6th Symposium on Microjoining and Assembly Technology in Electronics、P255～P260、「Sn-Agはんだを用いたBGA接合部組織に及ぼすCuコアの影響」には、はんだボールのコアにCu(銅)を用い、リフローおよび高温放置に伴うはんだボールの界面反応層の成長を抑制することで、はんだボールの継手強度の劣化およびはんだボールとパッド(パッケージ側)との接合部におけるせん断強度の劣化を防ぐ技術についての記載がある。

【0007】

【発明が解決しようとする課題】ところが、上記した96.5Sn-3.5Agを半導体チップに取り付けられるはんだボールおよびその半導体チップが実装される実装基板に印刷されるはんだペーストとして用いた場合には以下のような問題を生ずる。

【0008】すなわち、96.5Sn-3.5Agを半導体チップに取り付けられるはんだボールとして用いた場合、半導体チップを多数製造し試験する中で、このはんだボールが、たとえば振動や落下試験などの機械的衝撃によって、割合が少ないものの抜け落ちる問題があることを本発明者らは見出した。

【0009】96.5Sn-3.5Agは、液相から固相および固相から液相へ相変化する温度が221℃の一点である。つまり、96.5Sn-3.5Agを用いた

はんだボールは、熔融後冷却すると、221℃で瞬時に固化してしまう。その際に、96.5Sn-3.5Agは、SnおよびAg<sub>3</sub>Snの混合状態となり、Ag<sub>3</sub>Snが針状結晶となつてはんだボールの表面に現れる場合がある。そのため、はんだボールの組成および表面が不均質となりやすく、接続強度が低下する場合がある。すなわち、その接続強度の低下が、はんだボールが振動や落下試験などの機械的衝撃によって抜け落ちる原因となることを本発明者らは見出した。

10 【0010】また、96.5Sn-3.5Agを半導体チップが実装される実装基板に印刷されるはんだペーストとして用いた場合、半導体チップと実装基板との接続にそのはんだペーストを適用し試験を行う中で、機械的衝撃によりその接続部において破断が生じる問題があることを本発明者らは見出した。本発明者らは、その破断が生じた際に、破断部のはんだペーストを分析および調査したところ、はんだペースト中にボイドが残留していることが判明した。

20 【0011】さらに、本発明者らは、そのボイドが残留していた部分の接続は弱く、半導体チップを実装基板に実装してなる半導体装置の断線不良を生じさせる主因であることを見出した。

【0012】本発明の目的は、半導体チップと実装基板との接続部における機械的振動および衝撃に対する信頼性を高めることができる技術を提供することにある。

【0013】また、本発明の他の目的は、半導体チップと実装基板との接続部における機械的振動および衝撃に対する信頼性を安定して確保することができる技術を提供することにある。

30 【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40 【0016】すなわち、本発明は、主面上に半導体素子および配線層を有する半導体ウェハを切断して半導体チップを形成する工程と、前記半導体チップを第1基板の主面上の所定の位置に搭載する工程と、前記半導体チップの配線層と前記第1基板の配線層とを電気的に接続する工程と、前記第1基板の主面上に封止用絶縁膜を形成し、前記半導体チップを封止する工程と、前記第1基板の裏面の所定の位置に前記第1基板の前記配線層と電気的に接続されるバンプ電極を形成する工程とを含み、前記バンプ電極はスズが97.7重量%～99.3重量%、銀が0.5重量%～1.5重量%および銅が0.2重量%～0.8重量%となる組成または前記した組成にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも1種類が合計で2重量%以下含まれる組成

で形成するものである。

【0017】また、本発明は、主面上に半導体素子および配線層を有する第1基板の裏面の所定の位置において前記配線層と電気的に接続されるバンプ電極を形成する工程と、前記第1基板を切断して半導体チップを形成する工程とを含み、前記バンプ電極はスズが97.7重量%～99.3重量%、銀が0.5重量%～1.5重量%および銅が0.2重量%～0.8重量%となる組成または前記した組成にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも1種類が合計で2重量%以下含まれる組成で形成するものである。

【0018】また、本発明は、主面上に半導体素子および配線層を有する半導体チップと、主面上に前記半導体チップが搭載され、その内部の配線層と前記半導体チップを含む配線層とが電気的に接続された第1基板と、前記第1基板の裏面の所定の位置において前記第1基板の内部の配線層と電気的に接続されたバンプ電極とを含み、前記バンプ電極はスズが97.7重量%～99.3重量%、銀が0.5重量%～1.5重量%および銅が0.2重量%～0.8重量%となる組成または前記した組成にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも1種類が合計で2重量%以下含まれる組成で形成されているものである。

【0019】また、本発明は、主面上に半導体素子および配線層を有する第1基板の裏面の所定の位置において前記配線層と電気的に接続されたバンプ電極と、前記第1基板を切断することにより形成された半導体チップとを含み、前記バンプ電極はスズが97.7重量%～99.3重量%、銀が0.5重量%～1.5重量%および銅が0.2重量%～0.8重量%となる組成または前記した組成にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも1種類が合計で2重量%以下含まれる組成で形成されているものである。

【0020】上記の本発明によれば、半導体装置が有するバンプ電極を、スズが97.7重量%～99.3重量%、銀が0.5重量%～1.5重量%および銅が0.2重量%～0.8重量%とした組成で形成するので、そのバンプ電極の対振動耐性および対落下耐性を向上できる。

【0021】また、上記の本発明によれば、半導体装置が有するバンプ電極を、スズが97.7重量%～99.3重量%、銀が0.5重量%～1.5重量%および銅が0.2重量%～0.8重量%とした組成で形成するので、そのバンプ電極の組成および表面を均質とすることができる。

【0022】また、上記の本発明によれば、半導体装置が有するバンプ電極の組成および表面を均質化することができるので、バンプ電極の接続強度が低下することを防ぐことができる。

【0023】また、上記の本発明によれば、半導体装置

が有するバンプ電極を、スズが97.7重量%～99.3重量%、銀が0.5重量%～1.5重量%および銅が0.2重量%～0.8重量%とした組成で形成するので、リフローおよび高温放置に伴う衝撃や熱等で発生する応力をバンプ電極で吸収することができる。

【0024】また、上記の本発明によれば、半導体装置が有するバンプ電極を、スズが97.7重量%～99.3重量%、銀が0.5重量%～1.5重量%および銅が0.2重量%～0.8重量%とした組成で形成するので、バンプ電極にボイドが入ることを防ぐことができる。

【0025】また、上記の本発明によれば、半導体装置が有するバンプ電極にボイドが入ることを防ぐことができるので、バンプ電極による接続部分の接続強度の低下および断線不良を防ぐことができる。

【0026】また、上記の本発明によれば、半導体装置が有するバンプ電極を、スズが97.7重量%～99.3重量%、銀が0.5重量%～1.5重量%および銅が0.2重量%～0.8重量%とした組成で形成するので、その組成中にビスマス、鉛、アンチモン、亜鉛およびインジウムのうち少なくとも1種類を合計で2重量%以下添加した場合においてもバンプ電極の対振動耐性および対落下耐性の低下を防ぐことができる。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0028】(実施の形態1)本実施の形態1は、たとえばシステムLSIのCSPのはんだボールに本発明を適用したものである。

【0029】図1(a)は、本実施の形態1のシステムLSIのCSP1の要部平面図であり、図1(b)は、図1(a)中のA-A線における要部断面図である。なお、図1(a)中においては、説明のためにシステムLSIチップ(半導体チップ)3およびはんだボール(バンプ電極)4も示す。

【0030】図1(a)および(b)に示すように、本実施の形態1におけるシステムLSIのCSP1は、たとえば基板(第1基板)2上にシステムLSIチップ3を搭載した構造となっている。CSP1は、最大高さが約1.2mm程度であり、外形が約1.4mm角程度である。また、基板2の端子パッド(配線層)の直径は約0.45mm程度であり、176ピンである。基板2は6層の有機材料で構成され、端子パッドが形成される面の表面にニッケル(Ni)および金(Au)の無電界メッキを施してある。なお、図1中においては、端子パッドの図示は省略してある。

【0031】基板2の裏面では、直径約0.46mmのはんだボール4が約0.8mm間隔で、システムLSI

チップ3を取り囲むように4列で配置されている。

【0032】システムLSIチップ3は、ボンディングワイヤ5を用いたワイヤボンディングにより基板2に電気的に接続されている。さらに、基板2に接続されたシステムLSIチップ3は、約10mm角程度のモールド樹脂6により樹脂封止されている。このモールド樹脂6は、たとえばエポキシ系の樹脂からなる。

【0033】次に、図2に、はんだボール4の組成を示す。はんだボール4の組成は、Sn、AgおよびCuの3元系からなり、本実施の形態1において本発明者らは、組成点11～38が示す組成のはんだボール4について検討した。

【0034】はんだボール4の製造に当たり、材料ロットはSn、AgおよびCuの3ロットからなる。各材料ロットごとに、基板2への印刷およびリフロー等を施すことにより、はんだボール4を製造することができる。なお、上記したSn、AgおよびCuのうち、どの材料から基板2への印刷およびリフロー等を行ってもよいの\*

表 1

試料番号	はんだボール組成 (重量%)			はんだボール/ CSPパッド間 抵抗値(mΩ)	振動試験で の不良発生 CSP数	落下試験での不良発生CSP数(累積)				
	Sn	Ag	Cu			落下試験回数(回)				
						3	5	10	15	20
11	99.5	0.5	0	≤10	0	0	0	0	1	1
12	99.0	1.0	0	≤10	0	0	0	0	1	2
13	98.5	1.5	0	≤10	0	0	0	0	2	4
14	98.5	2.0	0	≤10	0	0	0	1	3	4
15	99.8	0	0.5	≤10	0	0	0	1	2	4
①6	99.3	0.5	0.2	≤10	0	0	0	0	0	0
①7	98.8	1.0	0.2	≤10	0	0	0	0	0	0
①8	98.3	1.5	0.2	≤10	0	0	0	0	0	0
19	97.8	2.0	0.2	≤10	0	0	0	2	4	7
②0	98.75	1.0	0.25	≤10	0	0	0	0	0	0
21	99.5	0	0.5	≤10	0	0	0	1	2	5
②2	99.0	0.5	0.5	≤10	0	0	0	0	0	0
②3	98.75	0.75	0.5	≤10	0	0	0	0	0	0
②4	98.5	1.0	0.5	≤10	0	0	0	0	0	0
②5	98.25	1.25	0.5	≤10	0	0	0	0	0	0
②6	98.0	1.5	0.5	≤10	0	0	0	0	0	0
27	97.5	2.0	0.5	≤10	0	0	1	3	4	6
②8	98.25	1.0	0.75	≤10	0	0	0	0	0	0
29	99.3	0	0.8	≤10	0	0	0	1	3	5
③0	98.75	0.5	0.8	≤10	0	0	0	0	0	0
③1	98.25	1.0	0.8	≤10	0	0	0	0	0	0
③2	97.7	1.5	0.8	≤10	0	0	0	0	0	0
33	97.2	2.0	0.8	≤10	0	0	2	3	6	9
34	99.0	0	1.0	≤10	0	0	0	2	4	5
35	98.5	0.5	1.0	≤10	0	0	0	1	2	3
36	98.0	1.0	1.0	≤10	0	0	0	1	1	3
37	97.5	1.5	1.0	≤10	0	0	0	1	2	4
38	97.0	2.0	1.0	≤10	1	1	1	4	6	11

また、本発明者らは、組成の異なるはんだボール4ごと 50 に各32個のCSP1を製作し次の落下試験を行った。

すなわち、CSP1をプラスチック製の床上1.5mの位置から、CSP1の他辺(Y方向)および厚さ方向(Z方向)を床に水平として落下させた。続いて、床上1.5mの位置から、CSP1のY方向を床に垂直とし、X方向およびZ方向を床に水平として落下させた。さらに続けて、床上1.5mの位置から、CSP1のZ方向を床に垂直とし、X方向およびY方向を床に水平として落下させた。これら3通りの落下試験をすべて行うことを1回とし、3回、5回、10回、15回および20回の落下試験を繰り返した。落下試験により、1バンプでもはんだボール4が脱落したCSP1を不良とし、その不良としたCSP1の個数を数え、各回毎に累積個数として集計した。その結果を、表1に示す。

【0038】さらに、本発明者らは、組成の異なるはんだボール4ごとに各32個のCSP1を製作し次の振動試験を行った。すなわち、約16mm角、高さ1.5mのプラスチック製のケース2個にCSP1を16個ずつ入れ、ケースの蓋を固定した。続けて、ケースの他辺をX方向とし、他辺をY方向とし、高さ方向をZ方向として、そのケースに対してX、Y、Zの各方向に約15Hz～500Hz程度の周波数および約29.4m/s<sup>2</sup>程度の加速度で、2時間振動を印加した。上記した落下試験の場合と同様に、振動試験の場合においても、1バンプでもはんだボール4が脱落したCSP1を不良とした。この振動試験で不良が発生したCSP1の数を表1に示す。

【0039】表1に示した結果から、はんだボール4を、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成で形成した場合(表1において試料番号に丸印が付記されている組成)、はんだボール4の対振動耐性および対落下耐性を向上させることがわかった。

【0040】上記した、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成のはんだボール4は、溶融後冷却した際にSnがAg<sub>3</sub>Snの結晶成長を押さえ込むので、はんだボール4の組成および表面を均質とすることができる。

【0041】また、そのはんだボール4を構成するAgが、たとえば約1重量%の場合には、はんだボール4が液相となる温度は約217℃であり、はんだボール4が固相と液相との共存した状態となる温度範囲は約10℃である。そのため、はんだボール4に初期組成の部分的偏りがあった場合でも、はんだボール4が溶融状態から固化するまでに均質化する時間的余裕ができる。

【0042】すなわち、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度

とした組成で形成したはんだボール4は、その組成および表面を均質化することができるので、バンプとの接続強度が低下することを防ぐことが可能となる。さらに、本実施の形態1のCSP1をはんだボール4により実装基板と接続する場合に、その接続部分の接続強度の低下および断線不良を防ぐことが可能となる。

【0043】さらに、はんだボール4は、その組成および表面が均質化することができるので、Ag<sub>3</sub>Snが針状結晶となつてはんだボール4の表面に現れることを防ぐことができる。そのため、はんだボール4が端子パッド間を短絡してしまうことを防ぐことが可能となる。

【0044】また、上記したはんだボール4は、約0.2重量%～0.8重量%程度の銅を含んでいるので、衝撃や熱等で発生する応力をはんだボール4で吸収することが可能となる。つまり、リフローおよび高温放置に伴うはんだボール4の継手強度の低下およびせん断強度の低下を防ぐことが可能となる。

【0045】さらに、また、本発明者らが行った実験によれば、上記したはんだボール4は、Agを約0.5重量%～1.5重量%程度とした場合において、その内部にボイドが入りにくいことがわかった。上記したように、Agが約1重量%の場合には、はんだボール4が固相と液相との共存した状態となる温度範囲は約10℃と広い。そのため、はんだボール4をリフロー炉等で加熱し溶融させた後、はんだボール4が溶融から固化する際に、先に固化する組成の周りにある組成がはんだ粒を一体化するので、はんだボール4にボイドが入ることを防ぐことができる。つまり、本実施の形態1のCSP1をはんだボール4により実装基板と接続する場合に、その接続部分の接続強度の低下および断線不良を防ぐことが可能となる。

【0046】ところで、本実施の形態1において用いた基板2は、端子パッドが形成される面の表面にNiおよびAuの無電界メッキを施してある。本発明者らが行った実験によれば、CSP1の製造に当たって保管状態の良くない基板2を用い、はんだボール4を構成するAgが約2重量%程度以上である場合には、基板2の端子パッドが形成される面において、はんだボール4が濡れない場合があることがわかった。また、本発明者らが行った実験によれば、はんだボール4に含まれるAgを約0.5重量%～1.5重量%程度とした場合においては、基板2の端子パッドが形成される面におけるはんだボール4の濡れ不良は観察されなかった。すなわち、はんだボール4に含まれるAgを約0.5重量%～1.5重量%程度とした場合、基板2とはんだボール4との間の濡れ性を向上することができる。

【0047】本実施の形態1においては、はんだボール4の組成をSnが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とすることで、



その組成および表面が均質化することができる。また、はんだボール4は、約0.2重量%~0.8重量%程度の銅を含んでいるので、衝撃や熱等で発生する応力をはんだボール4で吸収することができる。さらに、はんだボール4は、はんだボール4に含まれるAgを約0.5重量%~1.5重量%程度とすることにより、その内部にボイドが入りにくくすることができる。これら3点の効果が重疊することにより、はんだボール4による接合強度をより強固にすることができる。すなわち、本実施の形態1のCSP1の機械的衝撃に対する耐性をより強いものとするのが可能となる。

【0048】そして、本実施の形態1において説明したはんだボール4はPbを含まない組成なので、環境に与える負荷を低減することができる。

【0049】(実施の形態2) 本実施の形態2は、たとえばメモリチップを搭載したフリップチップ(FC)型のCSPのはんだボールに本発明を適用したものである。

【0050】図3(a)は、本実施の形態2のメモリチップ43を搭載したCSP41の要部平面図であり、図3(b)は、図3(a)中のB-B線における要部断面図である。なお、図3(a)中においては、説明のためにメモリチップ(半導体チップ)43およびはんだボール44(パンプ電極)も示す。

【0051】図3(a)および(b)に示すように、本実施の形態2におけるメモリチップを搭載したCSP41は、その外形が約7mm×11mm角程度である。また、基板42の端子パッドの直径は約0.45mm程度

であり、60ピンである。基板(第1基板)42は4層の有機材料で構成されており、端子パッド(配線層)はCuから形成されている。また、その端子パッドを形成する際のレジスト開口径は約0.4mm程度である。なお、図3中においては、端子パッドの図示は省略してある。

【0052】基板42の裏面では、直径約0.46mmのはんだボール44が約0.8mm間隔で60個配置されている。本実施の形態2においては、はんだボール44の組成として、前記実施の形態1において図2を用いて説明したSn, AgおよびCuの3元素からなるものに、Bi, Pb, Sb, ZnおよびInのうち少なくとも1種類を添加したものをを用いた。また、はんだボール44を収納するためのトレイは専用品を適用した。

【0053】メモリチップ43は、ボンディングワイヤ45を用いたワイヤボンディングにより基板42に電気的に接続されている。さらに、基板42に接続されたメモリチップ43は、約7mm×10mm角程度のモールド樹脂46により樹脂封止されている。このモールド樹脂46は、たとえばエポキシ系の樹脂からなる。

【0054】本発明者らは、組成の異なるはんだボール4ごとに各32個のCSP41を製作し、前記実施の形態1において説明した落下試験と同様の落下試験を行った。その結果を、表2に示す。なお、表2中においては、CSP41をFCと表現している。

【0055】

【表2】

表 2

試料 番号	はんだボール組成						振動試験 での不良 発生FC数	落下試験で不良発生した FC数 (累積数)				
	Sn-Ag-Cu組成と量			添加組成と量				落下試験回数 (回)				
	組成			混合量 (重量%)	添加材	添加量 (重量%)						
	Sn	Ag	Cu					3	5	10	15	20
39	98.5	1.0	0.5	100	—	0	0	0	0	0	0	0
40	98.5	1.0	0.5	99	Bi	1.0	0	0	0	0	0	0
41	98.5	1.0	0.5	98	Bi	2.0	0	0	0	0	0	0
42	99.8	1.0	0.5	97	Bi	3.0	0	0	0	0	0	1
43	98.5	1.0	0.5	98	Bi,Pb	各1.0	0	0	0	0	0	0
44	98.5	1.0	0.5	98	Bi,Pb,Zn Sb,In	各0.4	0	0	0	0	0	0
45	98.25	1.25	0.5	100	—	0	0	0	0	0	0	0
46	98.25	1.25	0.5	99	Pb	1.0	0	0	0	0	0	0
47	98.25	1.25	0.5	98	Pb	2.0	0	0	0	0	0	0
48	98.25	1.25	0.5	97	Pb	3.0	0	0	0	0	0	2
49	98.25	1.25	0.5	98	Pb,Sb	各1.0	0	0	0	0	0	0
50	98.75	0.75	0.5	100	—	0	0	0	0	0	0	0
51	98.75	0.75	0.5	99	In	1.0	0	0	0	0	0	0
52	98.75	0.75	0.5	98	In	2.0	0	0	0	0	0	0
53	98.75	0.75	0.5	97	In	3.0	0	0	0	0	0	1
54	98.75	0.75	0.5	98	In,Zn	各1.0	0	0	0	0	0	0
55	98.25	1.0	0.75	100	—	0	0	0	0	0	0	0
56	98.25	1.0	0.75	99	Zn	1.0	0	0	0	0	0	0
57	98.25	1.0	0.75	98	Zn	2.0	0	0	0	0	0	0
58	98.25	1.0	0.75	97	Zn	3.0	1	0	0	0	1	2
59	98.25	1.0	0.75	98	Zn,Bi	各1.0	0	0	0	0	0	0
60	98.75	1.0	0.25	100	—	0	0	0	0	0	0	0
61	98.75	1.0	0.25	99	Sb	1.0	0	0	0	0	0	0
62	98.75	1.0	0.25	98	Sb	2.0	0	0	0	0	0	0
63	98.75	1.0	0.25	97	Sb	3.0	0	0	0	0	1	1
64	98.75	1.0	0.25	98	Sb,Bi	各1.0	0	0	0	0	0	0
65	98.75	1.0	0.25	98	Sb,Bi Pb,In	各0.5	0	0	0	0	0	0

また、本発明者らは、組成の異なるはんだボール44ごとに各32個のCSP41を製作し、前記実施の形態1において説明した振動試験と同様の振動試験を行った。その結果を、表2に示す。

【0056】表2に示した結果から、はんだボール44は、前記実施の形態1において図1、図2および表1を用いて説明したはんだボール4と同様のSnが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成を1成分とし、これにBi、Pb、Sb、ZnおよびInのうち少なくとも1種類を合計で約2重量%程度以下添加した場合（表2においては試料番号に丸印が付記されている組成）においては、対振動耐性および対落下耐性は低下しないことがわかった。すなわち、はんだボール44に添加するBi、Pb、Sb、ZnおよびInは、その添加量が約2重量%程度以下の場合には、対振動耐性および対落下耐性を低下させる要因とはならないことがわかった。なお、表2

中においては、Snが98.25重量%～98.75重量%、Agが0.75重量%～1.25重量%およびCuが0.25重量%～0.75重量%である場合の結果のみ示した。

【0057】本実施の形態2においては、前記実施の形態1で説明したはんだボール4と同様に、はんだボール44の組成をSnが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とすることで、その組成および表面が均質化することができる。また、はんだボール44は、約0.2重量%～0.8重量%程度の銅を含んでいるので、衝撃や熱等で発生する応力をはんだボール44で吸収することができる。さらに、はんだボール44は、はんだボール44に含まれるAgを約0.5重量%～1.5重量%程度とすることにより、前記実施の形態1で説明したはんだボール4と同様にその内部にボイドが入りにくくすることができる。これら3点の効果が重畳することにより、はんだボール

44による接合強度をより強固にすることができる。すなわち、前記実施の形態1において図1を用いて説明したCSP1と同様に、本実施の形態2のCSP41の機械的衝撃に対する耐性をより強いものとするのが可能となる。

【0058】（実施の形態3）本実施の形態3は、たとえばマイコンCSPのはんだボールに本発明を適用したものである。

【0059】図4（a）は、本実施の形態3のマイコンCSP51の要部平面図であり、図4（b）は、図1（a）中のC-C線における要部断面図である。なお、図4（a）中においては、説明のためにマイコンチップ（半導体チップ）53およびはんだボール（パンプ電極）54も示す。

【0060】図4（a）および（b）に示すように、本実施の形態3におけるマイコンCSP51は、外形が約1.4.5mm角程度であり、その高さは約1.2mm程度である。また、基板（第1基板）52の端子パッドに取り付けられるパンプの径は、基板52の外部において約0.46mm程度であり、端子パッド（配線層）は60ピンである。基板52は6層の有機材料で構成されている。なお、図4中においては、端子パッドおよびパンプの図示は省略してある。

【0061】基板52の裏面では、直径約0.46mmのはんだボール54が約0.8mm間隔で225個配置されている。本実施の形態3においては、はんだボール54として、前記実施の形態1において図2を用いて説明したSn、AgおよびCuの3元系からなるものを用い、その組成を、Snが約98.5重量%程度、Agが約1重量%程度およびCuが約0.5重量%程度（98.5Sn-1Ag-0.5Cu）とした。

【0062】マイコンチップ53は、ボンディングワイヤ55を用いたワイヤボンディングにより基板52に電気的に接続されている。さらに、基板52に接続されたマイコンチップ53は、外形が約1.4mm角程度のモールド樹脂56により樹脂封止されている。このモールド樹脂56は、たとえばエポキシ系の樹脂からなる。

【0063】本発明者らは、組成の異なるはんだボール54ごとに各6個のマイコンCSP51を製作し、はんだボール54の表面と、そのはんだボール54と電気的に接続したパッドにつながる配線部との間の抵抗値を4端子法にて測定した。また、本発明者らは、組成の異なるはんだボール54ごとに各32個のマイコンCSP51を製作し、前記実施の形態1において説明した落下試験と同様の落下試験を行った。さらに、本発明者らは、組成の異なるはんだボール54ごとに各32個のマイコンCSP51を製作し、前記実施の形態1において説明した振動試験と同様の振動試験を行った。

【0064】その結果、はんだボール54を98.5Sn-1Ag-0.5Cuとなる組成で形成した場合、は

んだボール54の対振動耐性および対落下耐性を、前記実施の形態1において説明したはんだボール4の場合と同様に向上できることがわかった。

【0065】本実施の形態3においては、はんだボール54の組成をSnが約98.5重量%程度、Agが約1重量%程度およびCuが約0.5重量%程度とすることで、前記実施の形態1で説明したはんだボール4と同様に、その組成および表面を均質化することができる。また、はんだボール54は、約0.5重量%程度の銅を含んでいるので、衝撃や熱等で発生する応力をはんだボール54で吸収することができる。さらに、はんだボール54は、はんだボール54に含まれるAgを約1重量%程度とすることにより、前記実施の形態1で説明したはんだボール4と同様にその内部にボイドが入りにくくすることができる。これら3点の効果が重畳することにより、はんだボール54による接合強度をより強固にすることができる。すなわち、前記実施の形態1において図1を用いて説明したCSP1と同様に、本実施の形態3のマイコンCSP51の機械的衝撃に対する耐性をより強いものとするのが可能となる。

【0066】（実施の形態4）本実施の形態4は、たとえば前記実施の形態1において図1を用いて説明したシステムLSIのCSP1を、アルミナ（Al<sub>2</sub>O<sub>3</sub>）多層基板上のAg-Pt（白金）パッド上に実装する場合に本発明を適用したものである。

【0067】図5（a）および（b）に示すように、本実施の形態4においては、前記実施の形態1において図1を用いて説明したシステムLSIのCSP1をアルミナ多層基板（第2基板）61上のAg-Ptパッド62に実装する。なお、システムLSIのCSP1が実装される部分のAg-Ptパッド62は、アルミナ多層基板61外周部のAg-Ptパッド62と比べて小さく図示が困難であるため、図5中においては省略する。また、図5（b）は、図5（a）中のD-D線における要部断面図であり、図5（a）中においては、説明のためにシステムLSIチップ3およびはんだボール4も示す。

【0068】アルミナ多層基板61は、その外形が約2.7mm角程度であり、その内部にはW（タングステン）から形成された配線63が形成されている。

【0069】CSP1のアルミナ多層基板61への実装は、その実装面にフラックスを塗布し、CSP1とアルミナ多層基板61との接合面において溶融したはんだボール4の濡れ性を確保することで行う。

【0070】本発明者らは、はんだボール4の組成として、前記実施の形態1において図2を用いて説明したSn、AgおよびCuの3元系からなるものを用い、その種類は29種類である。本実施の形態4におけるはんだボール4の組成について表3に示す。

【0071】

【表3】

表 3

試料番号	はんだボール組成 (重量%)			基板パッド/ CSPパッド間 抵抗値(mΩ)	振動試験で の不良発生 CSP数	落下試験での不良発生CSP数(累積) 落下試験回数(回)				
	Sn	Ag	Cu			3	5	10	15	20
66	99.5	0.5	0	≤20	3	0	1	2	2	4
67	99.0	1.0	0	≤20	2	0	0	1	3	4
68	98.5	1.5	0	≤20	2	0	0	2	2	3
69	98.0	2.0	0	≤20	1	0	1	1	2	3
70	99.8	0	0.2	≤20	0	0	0	2	3	4
(71)	99.3	0.5	0.2	≤20	0	0	0	0	0	0
(72)	98.8	1.0	0.2	≤20	0	0	0	0	0	0
(73)	98.3	1.5	0.2	≤20	0	0	0	0	0	0
74	97.8	2.0	0.2	≤20	0	0	1	2	4	5
(75)	98.75	1.0	0.25	≤20	0	0	0	0	0	0
76	99.5	0	0.5	≤20	0	0	1	2	5	6
(77)	99.0	0.5	0.5	≤20	0	0	0	0	0	0
(78)	98.75	0.75	0.5	≤20	0	0	0	0	0	0
(79)	98.5	1.0	0.5	≤20	0	0	0	0	0	0
(80)	98.25	1.25	0.5	≤20	0	0	0	0	0	0
(81)	98.0	1.5	0.5	≤20	0	0	0	0	0	0
82	97.5	2.0	0.5	≤20	0	0	2	4	5	7
(83)	98.3	1.0	0.75	≤20	0	0	0	0	0	0
84	99.3	0	0.8	≤20	0	0	1	2	2	3
(85)	98.75	0.5	0.8	≤20	0	0	0	0	0	0
(86)	98.25	1.0	0.8	≤20	0	0	0	0	0	0
(87)	97.7	1.5	0.8	≤20	0	0	0	0	0	0
88	97.2	2.0	0.8	≤20	0	1	2	4	5	6
89	99.0	0	1.0	≤20	0	0	2	4	5	7
90	98.5	0.5	1.0	≤20	1	0	1	2	2	3
91	98.0	1.0	1.0	≤20	1	0	1	2	3	3
92	97.5	1.5	1.0	≤20	2	0	1	3	3	4
93	97.0	2.0	1.0	≤20	3	2	3	4	5	7

そして、本発明者らは、組成の異なるはんだボール4ごとに、CSP1が実装されたアルミナ多層基板61を各6枚製作し、はんだボール4の表面と、そのはんだボール4と電気的に接続したパッドにつながる配線部との間の抵抗値を4端子法にて測定した。その測定結果を表3に示す。

【0072】また、本発明者らは、組成の異なるはんだボール4ごとに、CSP1が実装されたアルミナ多層基板61を各32枚製作し、次の振動試験を行った。すなわち、そのアルミナ多層基板61を振動台に直接固定した後、アルミナ多層基板61の一边をX方向とし、他辺をY方向とし、高さ方向をZ方向として、アルミナ多層基板61に対してX、Y、Zの各方向に約15～500Hz程度の周波数および約29.4m/s<sup>2</sup>程度の加速度で、2時間振動を印加した。前記実施の形態1において説明した落下試験の場合と同様に、本実施の形態4においても、1バンプでもはんだボール4が脱落したCSP1を不良とした。この振動試験で不良が発生したCSP1の数を表3に示す。

【0073】さらに、本発明者らは、組成の異なるはん

だボール4ごとに、CSP1が実装されたアルミナ多層基板61を各32枚製作し、前記実施の形態1において説明した落下試験と同様の落下試験を行った。その結果を表3に示す。

【0074】表3に示した結果から、はんだボール4を、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成で形成した場合(表3において試料番号に丸印が付記されている組成)、はんだボール4の対振動耐性および対落下耐性を向上できることがわかった。

【0075】本実施の形態4においては、前記実施の形態1で説明したはんだボール4と同様に、はんだボール4の組成をSnが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とすることで、はんだボール54による接合強度を向上することができる。すなわち、前記実施の形態1において図1を用いて説明したCSP1と同様に、本実施の形態4におけるアルミナ多層基板61とCSP1との接合部における機械

的衝撃に対する耐性をより強いものとする事が可能となる。

【0076】（実施の形態5）本実施の形態5は、たとえばフラッシュメモリ、ゲートアレイおよびチップコンデンサなどの部品や、前記実施の形態2において図3を用いて説明したメモリチップを搭載したCSP41および前記実施の形態3において図4を用いて説明したマイコンCSP51などをモジュールカード用基板に実装したMCM (Multichip Module) に本発明を適用したものである。

【0077】図6（a）および（b）に示すように、本実施の形態5においては、たとえばモジュールカード用の有機基板71にフラッシュメモリ（電子部品）72a、72b、ゲートアレイ（電子部品）73、前記CSP41および前記マイコンCSP51を実装する。図6（b）は、図6（a）中のE-E線における要部断面図である。

【0078】有機基板（第2基板）71は4層の有機材料から構成され、図6中での図示は省略したが、上記したフラッシュメモリ72a、72b、ゲートアレイ7

3、CSP41およびマイコンCSP51を実装するためのパッドを有する。そのパッドは、Ni（ニッケル）/Auめっきが施されている。また、有機基板71の端部には接栓74が形成されている。フラッシュメモリ72bは、有機基板71上においてフラッシュメモリ72a、ゲートアレイ73、CSP41およびマイコンCSP51が実装される面とは反対側の面に実装される。

【0079】CSP41およびマイコンCSP51には、それぞれはんだボール44およびはんだボール54が形成されているが、CSP41およびマイコンCSP51を含めて上記したフラッシュメモリ72a、72bおよびゲートアレイ73などの実装部品を有機基板71に実装する際には、まず有機基板71上にはんだペーストを印刷する。このはんだペーストは、はんだボール44と同一組成のものをを用いることができる。ここで、そのはんだペーストおよびはんだボール44の組成について表4に示す。

【0080】

【表4】

表 4

試料 番号	はんだペーストおよびはんだボール44の組成						振動試験 での不良 発生FC数	落下試験で不良発生した FC数（累積数）				
	Sn-Ag-Cu組成と量			添加組成と量				落下回数（回）				
	組成			混合量 (重量%)	添加材	添加量 (重量%)		3	5	10	15	20
	Sn	Ag	Cu									
(94)	98.5	1.0	0.5	100	—	0	0	0	0	0	0	0
(95)	98.5	1.0	0.5	99	Bi	1.0	0	0	0	0	0	0
(96)	98.5	1.0	0.5	98	Bi	2.0	0	0	0	0	0	0
97	99.8	1.0	0.5	97	Bi	3.0	1	0	0	0	2	2
(98)	98.5	1.0	0.5	98	Bi,Pb	各1.0	0	0	0	0	0	0
(99)	98.5	1.0	0.5	98	Bi,Pb,Zn Sb,In	各0.4	0	0	0	0	0	0
(100)	98.25	1.25	0.5	100	—	0	0	0	0	0	0	0
(101)	98.25	1.25	0.5	99	Pb	1.0	0	0	0	0	0	0
(102)	98.25	1.25	0.5	98	Pb	2.0	0	0	0	0	0	0
103	98.25	1.25	0.5	97	Pb	3.0	0	0	0	0	1	2
(104)	98.25	1.25	0.5	97	Pb,Sb	各1.0	0	0	0	0	0	0
(105)	98.75	0.75	0.5	100	—	0	0	0	0	0	0	0
(106)	98.75	0.75	0.5	99	In	1.0	0	0	0	0	0	0
(107)	98.75	0.75	0.5	98	In	2.0	0	0	0	0	0	0
108	98.75	0.75	0.5	97	In	3.0	1	0	0	0	1	1
(109)	98.75	0.75	0.5	98	In,Zn	各1.0	0	0	0	0	0	0
(110)	98.25	1.0	0.75	100	—	0	0	0	0	0	0	0
(111)	98.25	1.0	0.75	99	Zn	1.0	0	0	0	0	0	0
(112)	98.25	1.0	0.75	98	Zn	2.0	0	0	0	0	0	0
113	98.25	1.0	0.75	97	Zn	3.0	1	0	0	1	3	3
(114)	98.25	1.0	0.75	98	Zn,Bi	各1.0	0	0	0	0	0	0
(115)	98.75	1.0	0.25	100	—	0	0	0	0	0	0	0
(116)	98.75	1.0	0.25	99	Sb	1.0	0	0	0	0	0	0
(117)	98.75	1.0	0.25	98	Sb	2.0	0	0	0	0	0	0
118	98.75	1.0	0.25	97	Sb	3.0	1	0	0	1	2	2
(119)	98.75	1.0	0.25	98	Sb,Bi	各1.0	0	0	0	0	0	0
(120)	98.75	1.0	0.25	98	Sb,Bi Pb,In	各0.5	0	0	0	0	0	0

有機基板71にはんだペーストを印刷した後、上記した実装部品を有機基板71に搭載し、有機基板71に約240℃～250℃程度の熱処理を施すことによりはんだペースト、はんだボール44およびはんだボール54を溶融させる。続けて、溶融させたはんだペースト、はんだボール44およびはんだボール54をを固化することで、各実装部品を有機基板71に一括して実装することができる。

【0081】また、上記した実装部品以外の部品で、PbおよびSnから構成されるはんだを用いて実装されることを前提として製造されているものは、耐熱温度が約240℃～245℃程度であるので、上記した実装部品と一括して有機基板71上への搭載および加熱処理を施すことが可能である。なお、上記した実装部品およびそれ以外の部品は、どちらか一方を先に搭載および加熱処理を施した後に、他方を搭載および加熱処理を施すことも可能である。

【0082】本発明者らは、各実装部品が実装された有機基板71に対して、前記実施の形態4の場合と同様の

振動試験を行った。この時、組成の異なるはんだペーストおよびはんだボール44ごとに、各実装部品が実装された有機基板71は各32枚用意した。この振動試験で不良が発生したCSP41の数を表4に示す。なお、表4中においては、CSP41をFCと表現している。

【0083】続いて、本発明者らは、各実装部品が実装された有機基板71に対して、前記実施の形態4の場合と同様の落下試験を行った。この時、組成の異なるはんだペーストおよびはんだボール44ごとに、各実装部品が実装された有機基板71は各32枚用意した。この落下試験で不良が発生したCSP41の数を表4に示す。

【0084】表4に示した結果から、はんだペーストおよびはんだボール44は、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成を1成分とし、これにBi、Pb、Sb、ZnおよびInのうち少なくとも1種類を合計で約2重量%程度以下添加した場合（表4においては試料番号に丸印が付記されている組成）においては、対振動耐性およ

び対落下耐性は低下しないことがわかった。すなわち、はんだペーストはんだボール 44 に添加する Bi, Pb, Sb, Zn および In は、その添加量が約 2 重量% 程度以下の場合には、対振動耐性および対落下耐性を低下させる要因とはならないことがわかった。なお、表 4 中においては、Sn が 98.25 重量%~98.75 重量%、Ag が 0.75 重量%~1.25 重量% および Cu が 0.25 重量%~0.75 重量% である場合の結果のみ示した。

【0085】本実施の形態 5 においては、はんだペーストおよびはんだボール 44 の組成を Sn が約 97.7 重量%~99.3 重量% 程度、Ag が約 0.5 重量%~1.5 重量% 程度および Cu が約 0.2 重量%~0.8 重量% 程度とすることで、その組成および表面が均質化することができる。また、はんだペーストおよびはんだボール 44 は、約 0.2 重量%~0.8 重量% 程度の銅を含んでいるので、衝撃や熱等で発生する応力を、そのはんだペーストおよびはんだボール 44 で吸収することができる。さらに、はんだペーストおよびはんだボール 44 は、はんだペーストおよびはんだボール 44 に含まれる Ag を約 0.5 重量%~1.5 重量% 程度とすることにより、その内部にボイドが入りにくくすることができる。これら 3 点の効果が重畳することにより、はんだペーストおよびはんだボール 44 による接合強度をより強固にすることができる。すなわち、本実施の形態 5 の各実装部品が実装された有機基板 71 の機械的衝撃に対する耐性をより強いものとする事が可能となる。

【0086】(実施の形態 6) 本実施の形態 6 は、たとえばウェハレベルプロセスパッケージ (Wafer Process Package; 以下、WPP と略す) 技術を用いて製造する半導体装置に本発明を適用したものである。

【0087】図 7 (a) および (b) は、本実施の形態 6 のマイコンチップ (半導体チップ) 81 の要部平面図であり、図 7 (b) は、図 7 (a) 中の F-F 線における要部断面図である。

【0088】図 7 (a) および (b) に示すように、マイコンチップ 81 は、外形が約 10mm 角程度の大きさであり、その周辺に 256 の端子を有している。その 256 の端子には、はんだボール (パンプ電極) 82 が取り付けられている。また、マイコンチップ 81 の表面には、たとえばポリイミド樹脂からなる封止樹脂膜 97 が形成されている。

【0089】次に、上記したマイコンチップ 81 の製造方法を図 8~図 13 に従って説明する。

【0090】図 8 に示す半導体ウェハ (第 1 基板) 91 の主面におけるマイコンチップ 81 の形成領域には、たとえば p 型 MISFET (Metal Insulator Semiconductor Field Effect Transistor), n 型 MISFET および情報記憶素子 (たとえばキャパシタ) 等のような所定の集積回路素子が形成されている。また、半導体ウェハ

91 のマイコンチップ 81 の形成領域上には配線層 L が形成されている。配線層 L は、層間絶縁膜と配線層とが交互に積み重ねられて形成されている。図 8 においては、たとえば酸化シリコン膜からなる層間絶縁膜 92 上に形成されたボンディングパッド 93 のみが示されている。ボンディングパッド 93 は、たとえばアルミニウムまたはアルミニウム-シリコン-銅合金からなる。

【0091】層間絶縁膜 92 上には、表面保護膜 94 が形成されており、これによって最上の配線層 (たとえばボンディングパッド 93) が覆われている。表面保護膜 94 は、表面保護膜 94a と表面保護膜 94b とから構成されている。表面保護膜 94a は、たとえば TEOS (Tetraethoxyorthosilane) ガスを用いたプラズマ CVD (Chemical Vapor Deposition) 法で形成された酸化シリコン膜上に、たとえばプラズマ CVD 法で形成された窒化シリコン膜が積み重ねられている。表面保護膜 94b は、たとえばポリイミド樹脂からなる。

【0092】パンプ電極が形成される領域の表面保護膜 94 には、ボンディングパッド 93 の上面一部が露出するような接続孔 95 が形成されている。接続孔 95 において、表面保護膜 94b に形成された部分の側面は順テーパー状に形成されている。

【0093】まず、図 9 に示すように、上記したような半導体ウェハ 91 上に、たとえばクロム等からなる導体膜 96a、銅等からなる導体膜 96b およびクロム等からなる導体膜 96c を下層から順にスパッタリング法等によって堆積した後、これをフォトリソ膜をマスクとしたエッチング技術によってパターンニングする。最下層の導体膜 96a は、たとえば銅の拡散抑制または防止機能および導体膜 96b とポリイミド樹脂からなる表面保護膜 94b との接着性を向上させる機能を有する膜である。導体膜 96a、96c は、クロムに限定されるものではなく、種々変更可能であり、たとえばチタン、チタンタングステン、窒化チタンまたはタングステンを用いることもできる。なお、この段階において、パンプ電極が形成される領域に残された導体膜 96a~96c は、接続孔 95 を通じてボンディングパッド 93 と電気的に接続されている。

【0094】次に、図 10 に示すように、フォトリソ膜をマスクとしたエッチング技術によって導体膜 96a、96c を選択的に除去することにより、パンプ電極が形成される領域に再配線 (配線層) 96 を形成する。再配線 96 は、接続孔 95 を通じてボンディングパッド 93 と電気的に接続されている。

【0095】次に、図 11 に示すように、半導体ウェハ 91 上に、たとえば感光性のポリイミド樹脂からなる封止樹脂膜 97 を塗布し、封止樹脂膜 97 自体に露光・現像処理を施すことで封止樹脂膜 97 に接続孔 98 を形成する。この接続孔 98 からは再配線 96 の上面の一部が露出されている。

【0096】続いて、接続孔98の内部を含む封止樹脂膜97上に、たとえばクロム、ニッケル-銅合金および金を下層から順にスパッタリング法などによって堆積した後、これをフォトリソ膜をエッチングマスクとしたエッチング処理によってパターンニングすることにより、パンプ下地金属パターン（配線層）99を形成する。パンプ下地金属パターン99は、たとえば平面円形状に形成され、その径は約0.25mmとすることができる。また、パンプ下地金属パターン99は、接続孔98を通じて再配線96と電気的に接続されている。こ

こで、半導体ウェハ91上において下地金属パターン99は256個（16列×16行）とすることができ、隣り合うパンプ下地金属パターン99同士の間隔は約0.5mmとすることができる。さらに、パンプ下地金属パターン99の最上層を金とすることにより、次の工程において形成されるはんだボール82を構成するSnが熱処理により拡散し、導体膜96bを構成するCuと反応して脆い金属化合物を形成することを防ぐことができる。

【0097】次に、図12に示すように、たとえばメタルマスクを用いてパンプ下地金属パターン99上にフラックスを印刷した後、ボール振込み装置を用いてパンプ下地金属パターン99上にはんだボール82を置く。続いて、半導体ウェハ91を、たとえば最高温度が約245℃程度となるリフロー炉に通し、リフロー処理を施す。この工程により、はんだボール82をパンプ電極とすることができ、図7に示した本実施の形態6のマイコンチップ81を製造することができる。はんだボール82は、その径をたとえば約0.3mm程度とすることができ、その材質としては、たとえば98.5Sn-1Ag-0.5Cuを例示することができる。ここで、本発明者らが行った実験によれば、リフロー温度を約245℃程度とすることにより、98.5Sn-1Ag-0.5Cuからなるはんだボール82の内部にボイドが入ることを防ぐことができることがわかった。つまり、上記したリフロー温度を約245℃程度とすることにより、本実施の形態6におけるマイコンチップ81のはんだボール82における機械的強度を向上することができる。なお、本実施の形態6において、上記したフラックスは従来用いられていたフラックスより活性度の高いものを用いることにより、パンプ下地金属パターン99上にはんだボール82をより確実に固定することができる。なお、はんだボール82を製造する工程は1ロットで行い、パンプ下地金属パターン99上にはんだボール82を置きリフロー処理を施す工程は3ロットで行う。

【0098】さらに、半導体ウェハ91を洗浄し、半導体ウェハ91から個々のマイコンチップ81を切り出した後、図13に示すように、マイコンチップ81を配線基板（第2基板）100上に実装することができる。この時、マイコンチップ81のパンプ電極となったはんだボール82は、配線基板100のランド101と電氣的

に接続される。また、マイコンチップ81の主面と配線基板100の主面との間には充填材102が介在される。

【0099】本実施の形態6においては、上記した各リフロー処理を施すロットごとに70個のマイコンチップ81を70個製造した。その後、本発明者らは、各ロットごとに70個のマイコンチップ81のうち6個を用いて、はんだボール82の表面とそのはんだボール82と電気的に接続したパンプ下地金属パターン99との間の抵抗値を測定した。

【0100】また、本発明者らは、上記した各リフロー処理を施すロットごとに70個のマイコンチップ81のうち32個を用いて、前記実施の形態1において説明した落下試験と同様の落下試験を行った。

【0101】さらに、本発明者らは、上記した各リフロー処理を施すロットごとに70個のマイコンチップ81のうち32個を用いて、前記実施の形態1において説明した振動試験と同様の振動試験を行った。ただし、本実施の形態6においては、約12mm角、高さ1.1mのプラスチック製のケース2個にマイコンチップ81を16個ずつ入れて振動試験を行った。

【0102】さらに、また、上記した落下試験および振動試験の後、その落下試験および振動試験に用いたマイコンチップ81のはんだボール82の表面とパンプ下地金属パターン99との間の抵抗値を測定した。

【0103】本発明者らは、上記した落下試験および振動試験より、はんだボール82を98.5Sn-1Ag-0.5Cuにより形成した場合、はんだボール82の対振動耐性および対落下耐性を向上できることを見出した。また、上記した抵抗値測定より、落下試験および振動試験の前後ではんだボール82の表面とパンプ下地金属パターン99との間の抵抗値の増加はないことを見出した。

【0104】本実施の形態6においては、はんだボール82の組成をSnが約98.5重量%程度、Agが約1重量%程度およびCuが約0.5重量%程度とすることで、前記実施の形態1で説明したはんだボール4と同様に、その組成および表面を均質化することができる。また、はんだボール82は、約0.5重量%程度の銅を含んでいるので、衝撃や熱等で発生する応力をはんだボール82で吸収することができる。さらに、はんだボール82は、はんだボール82に含まれるAgを約1重量%程度とすることにより、前記実施の形態1で説明したはんだボール4と同様にその内部にボイドが入りにくくすることができる。これら3点の効果が重畳することにより、はんだボール82による接合強度をより強固にすることができる。すなわち、前記実施の形態1において図1を用いて説明したCSP1と同様に、本実施の形態6のマイコンチップ81の機械的衝撃に対する耐性をより強いものとするのが可能となる。



【0105】（実施の形態7）本実施の形態7は、たとえばFC-BGA（フリップチップBGA（Ball Grid Array））技術を用いて製造する半導体装置に本発明を適用したものである。

【0106】図14（a）および（b）は、本実施の形態7のFC-BGA111の要部平面図であり、図14（b）は、図14（a）中のG-G線における要部断面図である。なお、図14（a）においては、説明のためにメモリチップ（半導体チップ）112およびはんだボール（バンプ電極）115も示した。

【0107】図14（a）および（b）に示すように、本実施の形態7のFC-BGA111は、メモリチップ112をインターポーザである有機基板（第2基板）113に搭載したものである。図示は省略するが、有機基板113のメモリチップ112が搭載される側には、メモリチップ112に取り付けられたはんだボール114と対応した位置に、たとえばニッケル-金からなるパッドが形成されている。そのパッドは、有機基板113の裏面の端子（はんだボール115）と電気的に接続されている。また、メモリチップ112と有機基板113との間には、たとえばエポキシ系の樹脂であるアンダーフィルからなる充填材116が充填されている。さらに、メモリチップ112の裏面には、接着剤117により、たとえばアルミニウム製の放熱板118が取り付けられている。

【0108】メモリチップ112は、たとえば外形が約7mm×14mm角程度の大きさであり、200個の端子を有している。その約200程度の端子には、はんだボール114が取り付けられている。はんだボール114は、たとえばその径を約0.25mm程度とすることができ、その材質としては98.5Sn-1Ag-0.5Cuを例示することができる。また、図示は省略するが、メモリチップ112の表面には、たとえばポリイミド樹脂からなる封止樹脂膜が形成されている。

【0109】はんだボール115は、有機基板113の裏面において、たとえば17列×9行および約1.27mm程度の間隔で取り付けることができ、その個数は153個となる。メモリチップ112の端子数は200であるが、メモリチップ112が有する電源端子およびグランド端子を集約することで、メモリチップ112が電気的に接続される有機基板113の裏面の端子数を153個に低減することができる。また、はんだボール115は、たとえばその径を約0.67mm程度とすることができ、その材質としては37Pb-63Snを例示することができる。

【0110】次に、上記したFC-BGA111の製造方法を図15と図16とに従って説明する。

【0111】まず、前記実施の形態6において図8～図12を用いて説明したマイコンチップ81の製造工程とほぼ同様の製造工程によりメモリチップ112を製造し

た後、そのメモリチップ112を有機基板113に取り付ける。この時、メモリチップ112は、たとえばフラックスを用い約245℃程度のリフロー処理を施すことによりはんだボール114を熔融させ、その後固化させることで有機基板113に取り付けることができる。また、上記したリフロー温度を約245℃程度とすることにより、前記実施の形態6において図12を用いて説明したはんだボール82と同様に、98.5Sn-1Ag-0.5Cuからなるはんだボール114の内部にボイドが入ることを防ぐことができる。つまり、上記したリフロー温度を約245℃程度とすることにより、本実施の形態7におけるメモリチップ112のはんだボール114における機械的強度を向上することができる。

【0112】図15中においては図示を省略したが、前記実施の形態6において図11を用いて説明したバンプ下地金属パターン99は、本実施の形態7においてはその径を約0.2mm程度とすることができ、ここで、本実施の形態7における下地金属パターン99は153個（10列×20行）とすることができ、隣り合うバンプ下地金属パターン99同士の間隔は約0.63mmとすることができる。

【0113】はんだボール114は、はんだ印刷用のマスクを用いて半導体ウェハ上にペースト状のはんだ材（はんだペースト）を印刷した後、たとえば最高温度が約245℃程度となるリフロー炉に通し、リフロー処理を施すことにより形成する。また、この工程により、はんだボール114をバンプ電極とすることができ、なお、本実施の形態7においては、上記したはんだペーストを印刷しリフロー処理を施す工程は3ロットで行う。

【0114】本実施の形態7においては、はんだボール114は、半導体ウェハ上にはんだペーストを印刷し、リフロー処理を施すことにより形成している。そのため、半導体ウェハ上のはんだボール114が形成される位置にフラックスを印刷した後、ボール振込み装置を用いてはんだボール114を置き、続けてリフロー処理を施すことによりはんだボール114を固定する場合と比較して、ボール振込み装置およびフラックス印刷機などを使用する必要がなくなる。また、はんだペーストを用いて半導体ウェハ上にはんだボール114を形成する場合は、あらかじめはんだボール114を用意しておき、そのはんだボールをそのまま半導体ウェハ上の所定の位置に置いてリフロー処理により固定する場合より材料費を安価にすることができる。つまり、本実施の形態7で示すような、はんだペーストを用いて半導体ウェハ上にはんだボール114を形成する場合は、あらかじめはんだボール114を用意しておき、そのはんだボールをそのまま半導体ウェハ上の所定の位置に置いてリフロー処理により固定する場合より本実施の形態7のFC-BGA111の製造コストを安価にすることができる。

【0115】はんだボール114の形成後、半導体ウェ

ハを洗浄し、半導体ウェハをダイシングにより切断することで個々のメモリチップ112に切り出すことができる。

【0116】メモリチップ112を有機基板113に取り付け、残留しているフラックスを洗浄した後、メモリチップ112と有機基板113との間に充填材116を充填し、約150℃程度の熱処理を施すことによりその充填材116を硬化させる。

【0117】次に、図16に示すように、上記したはんだボール114と同様の製造方法により37Pb-63Snからなるはんだボール115を有機基板113の裏面のパッド上に形成する。

【0118】続いて、メモリチップの裏面に接着剤117により放熱板118を取り付けることにより、図14に示したFC-BGA111を製造することができる。

【0119】本実施の形態7においては、上記した各はんだペーストを印刷しリフロー処理を施すロットごとに70個のFC-BGA111を70個製造した。その後、本発明者らは、その70個のFC-BGAを用いて、前記実施の形態6においてお行った抵抗値測定、落下試験および振動試験と同様の抵抗値測定、落下試験および振動試験を行った。なお、振動試験については、FC-BGA111をプラスチック製のケースに入れずに、直接振動試験機のステージに固定することで行った。

【0120】本発明者らは、上記した落下試験および振動試験より、はんだボール114を98.5Sn-1Ag-0.5Cuにより形成した場合、はんだボール114の対振動耐性および対落下耐性を向上できることを見出した。また、上記した抵抗値測定より、落下試験および振動試験の前後ではんだボール114の接続部における抵抗値の増加はないことを見出した。

【0121】本実施の形態7においては、はんだボール114の組成をSnが約98.5重量%程度、Agが約1重量%程度およびCuが約0.5重量%程度とすることで、前記実施の形態1で説明したはんだボール4と同様に、その組成および表面を均質化することができる。また、はんだボール114は、約0.5重量%程度の銅を含んでいるので、衝撃や熱等で発生する応力をはんだボール114で吸収することができる。さらに、はんだボール114は、はんだボール114に含まれるAgを約1重量%程度とすることにより、前記実施の形態1で説明したはんだボール4と同様にその内部にボイドが入りにくくすることができる。これら3点の効果が重畳することにより、はんだボール114による接合強度をより強固にすることができる。すなわち、前記実施の形態1において図1を用いて説明したCSP1と同様に、本実施の形態7のFC-BGA111の機械的衝撃に対する耐性をより強いものとするのが可能となる。

【0122】以上、本発明者によってなされた発明を発

明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0123】たとえば、前記実施の形態5においては、Sn、AgおよびCuからなる組成を1成分とし、これにBi、Pb、Sb、ZnおよびInのうち少なくとも1種類を添加したはんだボールを有する各実装部品を、そのはんだボールと同一の組成のはんだペーストを用いて有機基板に実装する場合を例示したが、PbおよびSnからなる組成のはんだペーストを用いてもよい。上記したはんだボールを構成する材質とPbおよびSnからなる組成のはんだペーストを構成する材質とは、熱処理などにより相互拡散しても機械的に脆い金属化合物を形成しないからである。

【0124】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

(1) 本発明によれば、半導体装置が有するはんだボールを、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成で形成するので、そのはんだボールの対振動耐性および対落下耐性を向上できる。

(2) 本発明によれば、半導体装置が有するはんだボールを、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成で形成するので、そのはんだボールの組成および表面を均質とすることができる。

(3) 本発明によれば、半導体装置が有するはんだボールの組成および表面を均質化することができるので、はんだボールとパッドとの接続強度が低下することを防ぐことができる。

(4) 本発明によれば、半導体装置が有するはんだボールを、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成で形成するので、リフローおよび高温放置に伴う衝撃や熱等で発生する応力をはんだボールで吸収することができる。

(5) 本発明によれば、半導体装置が有するはんだボールを、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成で形成するので、はんだボールにボイドが入ることを防ぐことができる。

(6) 本発明によれば、半導体装置が有するはんだボールにボイドが入ることを防ぐことができるので、はんだボールによる接続部分の接続強度の低下および断線不良

を防ぐことができる。

〔7〕本発明によれば、半導体装置が有するはんだボールを、Snが約97.7重量%～99.3重量%程度、Agが約0.5重量%～1.5重量%程度およびCuが約0.2重量%～0.8重量%程度とした組成で形成するので、その組成中にBi、Pb、Sb、ZnおよびInのうち少なくとも1種類を合計で約2重量%程度以下添加した場合においてもはんだボールの対振動耐性および対落下耐性の低下を防ぐことができる。

#### 【図面の簡単な説明】

【図1】（a）および（b）は本発明の一実施の形態である半導体装置の要部平面図および要部断面図である。

【図2】本発明の一実施の形態である半導体装置に用いたはんだボールの組成の例を示す説明図である。

【図3】（a）および（b）は本発明の一実施の形態である半導体装置の要部平面図および要部断面図である。

【図4】（a）および（b）は本発明の一実施の形態である半導体装置の要部平面図および要部断面図である。

【図5】（a）および（b）は本発明の一実施の形態である半導体装置の要部平面図および要部断面図である。

【図6】（a）および（b）は本発明の一実施の形態である半導体装置の要部平面図および要部断面図である。

【図7】（a）および（b）は本発明の一実施の形態である半導体装置の要部平面図および要部断面図である。

【図8】図7に示した半導体装置の製造方法の一例を示した要部断面図である。

【図9】図8に続く半導体装置の製造工程中の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】図10に続く半導体装置の製造工程中の要部断面図である。

【図12】図11に続く半導体装置の製造工程中の要部断面図である。

【図13】図12に続く半導体装置の製造工程中の要部断面図である。

【図14】（a）および（b）は本発明の一実施の形態である半導体装置の要部平面図および要部断面図である。

【図15】図14に示した半導体装置の製造方法の一例を示した要部断面図である。

【図16】図15に続く半導体装置の製造工程中の要部断面図である。

#### 【符号の説明】

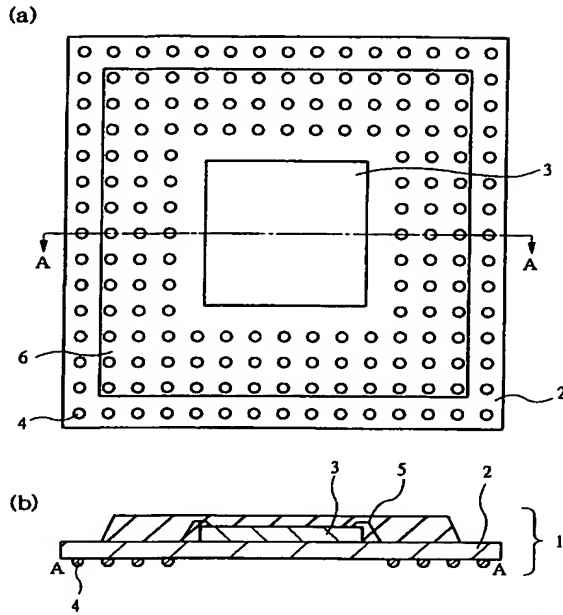
- 1 CSP
- 2 基板（第1基板）
- 3 システムLSIチップ（半導体チップ）
- 4 はんだボール（バンプ電極）
- 5 ボンディングワイヤ
- 6 モールド樹脂

#### 11～38 組成点

- 41 CSP
- 42 基板（第1基板）
- 43 メモリチップ（半導体チップ）
- 44 はんだボール（バンプ電極）
- 45 ボンディングワイヤ
- 46 モールド樹脂
- 51 マイコンCSP
- 52 基板（第1基板）
- 10 53 マイコンチップ（半導体チップ）
- 54 はんだボール（バンプ電極）
- 55 ボンディングワイヤ
- 56 モールド樹脂
- 61 アルミナ多層基板（第2基板）
- 62 Ag-Ptパッド
- 63 配線
- 71 有機基板（第2基板）
- 72 a フラッシュメモリ（電子部品）
- 72 b フラッシュメモリ（電子部品）
- 20 73 ゲートアレイ（電子部品）
- 74 接栓
- 81 マイコンチップ（半導体チップ）
- 82 はんだボール（バンプ電極）
- 91 半導体ウェハ（第1基板）
- 92 層間絶縁膜
- 93 ボンディングパッド
- 94 表面保護膜
- 94 a 表面保護膜
- 94 b 表面保護膜
- 30 95 接続孔
- 96 再配線（配線層）
- 96 a 導体膜
- 96 b 導体膜
- 96 c 導体膜
- 97 封止樹脂膜
- 98 接続孔
- 99 バンプ下地金属パターン（配線層）
- 100 配線基板（第2基板）
- 101 ランド
- 40 102 充填材
- 111 FC-BGA
- 112 メモリチップ（半導体チップ）
- 113 有機基板（第2基板）
- 114 はんだボール（バンプ電極）
- 115 はんだボール
- 116 充填材
- 117 接着剤
- 118 放熱板
- L 配線層

【図 1】

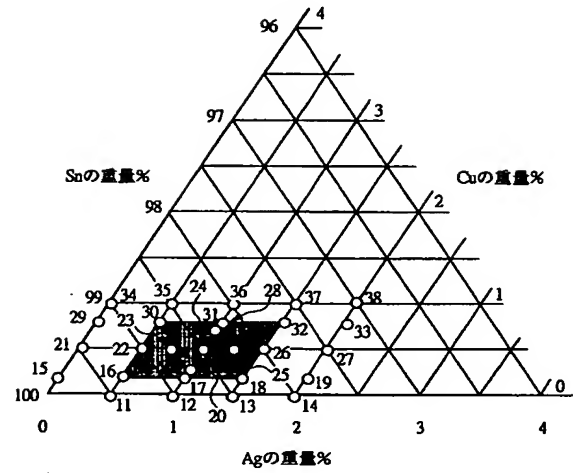
図 1



4: はんだボール (パンプ電極)

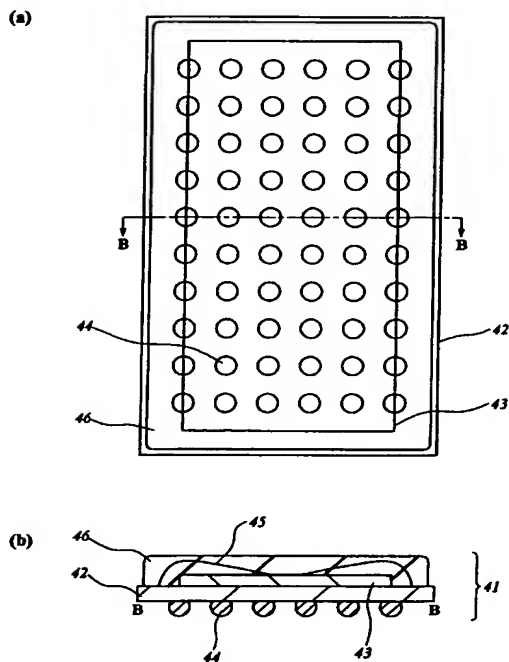
【図 2】

図 2



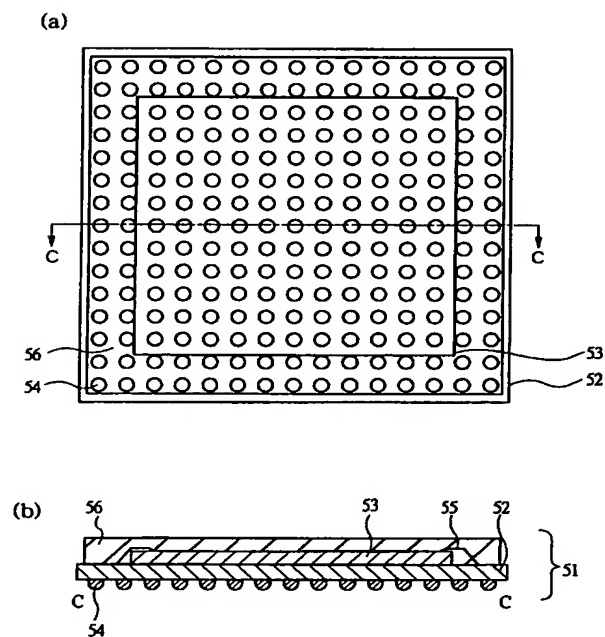
【図 3】

図 3



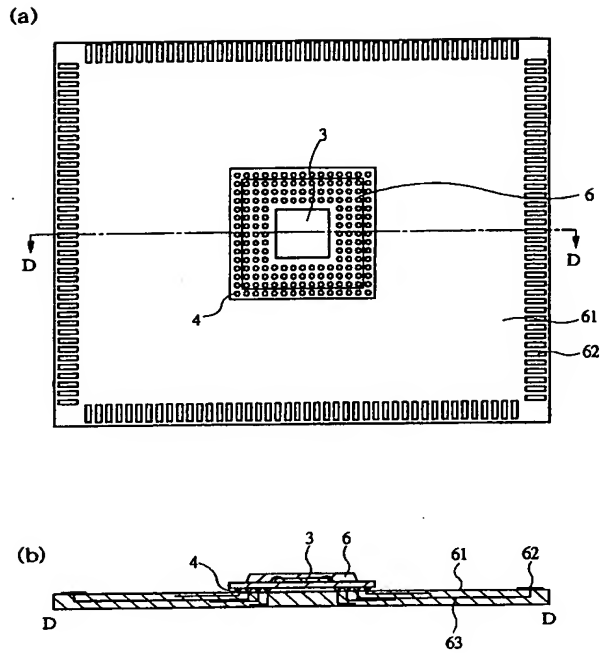
【図 4】

図 4



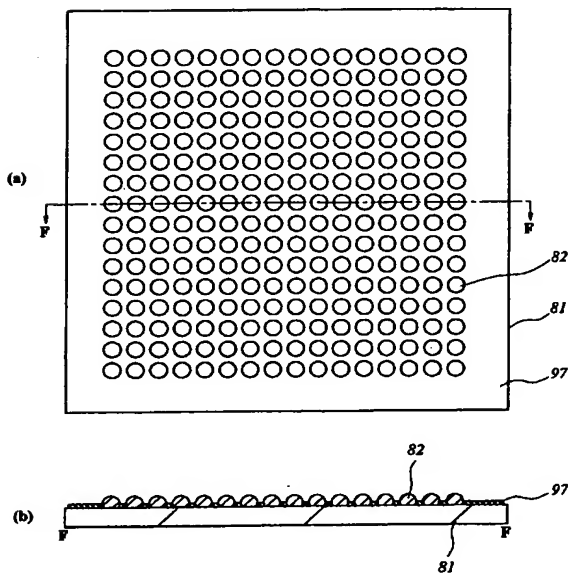
【図 5】

図 5



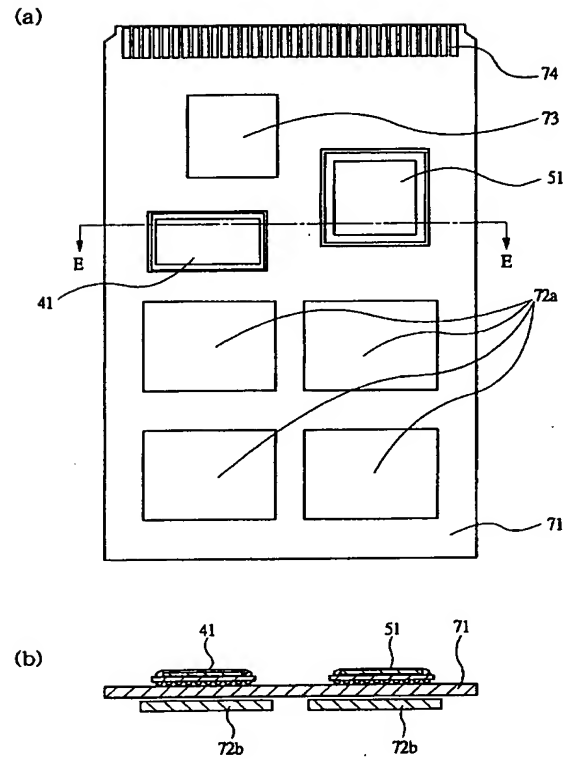
【図 7】

図 7



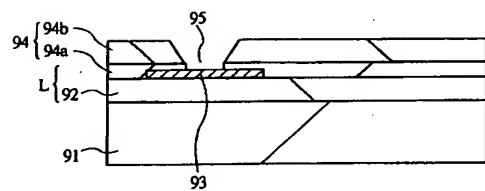
【図 6】

図 6



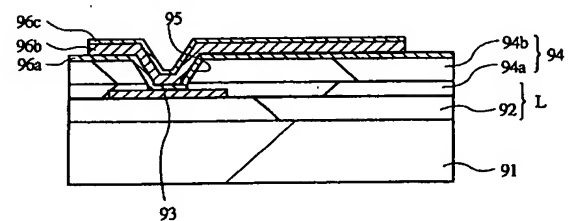
【図 8】

図 8



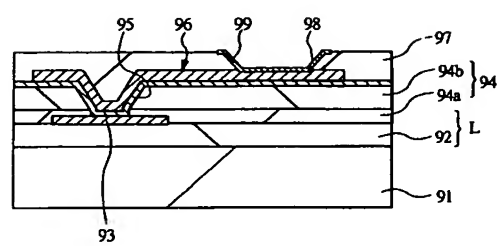
【図 9】

図 9



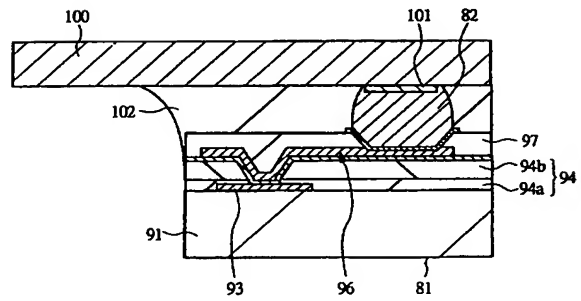
【図 1 1】

**11**



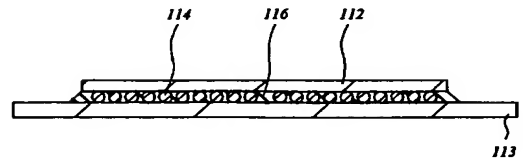
【图 13】

13

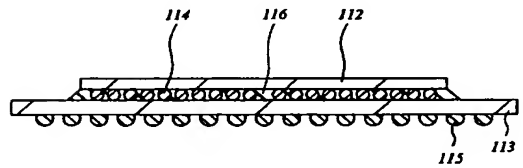


【図 15】

**15**



**16**



フロントページの続き

(72) 発明者 山本 健一  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72) 発明者 三浦 一真  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72) 発明者 木本 良輔  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

(72) 発明者 川窪 浩  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

**This Page Blank (uspto)**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**This Page Blank (uspto)**